

PATENT  
81751.0064  
Express Mail Label No. EV 325 217 338 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Masaaki ABE

Serial No: Not assigned

Filed: September 8, 2003

For: Fuse Circuit and Display Driver Circuit

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-264542 which was filed September 10, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

Date: September 8, 2003

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月10日

出 願 番 号

Application Number:

特願2002-264542

[ ST.10/C ]:

[ JP2002-264542 ]

出 願 人

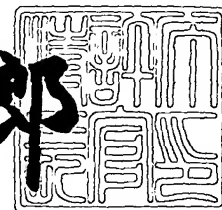
Applicant(s):

セイコーエプソン株式会社

2003年 6月19日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3048221

【書類名】 特許願

【整理番号】 EP-0398801

【提出日】 平成14年 9月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01H 9/00

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 阿部 雅彰

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大淵 美千栄

    【電話番号】 03-5397-0891

【手数料の表示】

    【予納台帳番号】 039491

特 2 0 0 2 - 2 6 4 5 4 2

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ヒューズ回路及び表示駆動回路

【特許請求の範囲】

【請求項 1】 アナログ値を調整するためのヒューズ回路であって、  
ヒューズ素子の設定状態を記憶するラッチ回路と、  
前記ラッチ回路に前記ヒューズ素子の設定状態を取り込むためのラッチクロックを、周期的信号に基づいて生成するラッチクロック生成回路と、  
を含み、  
前記ラッチ回路は、  
前記ラッチクロックに基づき、周期的に前記ヒューズ素子の設定状態を取り込み、  
前記アナログ値は、  
前記ラッチ回路に取り込まれた前記ヒューズ素子の設定状態に基づいて調整されることを特徴とするヒューズ回路。

【請求項 2】 アナログ値を調整するためのヒューズ回路であって、  
複数のヒューズ素子の設定状態を記憶する複数のラッチ回路と、  
周期的信号に基づいて、各ラッチ回路に対応してそれぞれ異なる位相の複数のラッチクロックを生成するラッチクロック生成回路と、  
を含み、  
各ラッチ回路は、  
それぞれ対応するラッチクロックに基づき、対応するヒューズ素子の設定状態を周期的に取り込み、  
前記アナログ値は、  
前記複数のラッチ回路に取り込まれた前記複数のヒューズ素子の設定状態に基づいて調整されることを特徴とするヒューズ回路。

【請求項 3】 請求項 2 において、  
前記ラッチクロック生成回路は、  
前記周期的信号に基づいて、複数個のラッチ回路単位でそれぞれ異なる位相の

複数のラッチクロックを生成することを特徴とするヒューズ回路。

【請求項 4】 請求項 2 又は 3 において、

前記ラッチクロックは、

前記周期的信号の立ち上がりエッジ及び立ち下がりエッジに同期して生成されることを特徴とするヒューズ回路。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

前記周期的信号は、

フレームごとに変化する信号であることを特徴とするヒューズ回路。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、

ヒューズ素子の設定状態をテストするためのテスト用信号を保持するテスト用信号保持回路と、

前記テスト用信号保持回路に保持された前記テスト用信号、及び前記ラッチ回路に取り込まれた前記ヒューズ素子の設定状態のうち、いずれか一方を選択信号に基づいて選択出力するセレクトと、

テストモード設定信号と前記ラッチクロックとに基づいて、前記選択信号を生成する選択信号生成回路と、

を含み、

前記選択信号生成回路は、

前記ラッチクロックが入力されたとき、前記ラッチ回路に取り込まれた前記ヒューズ素子の設定状態が前記セレクトにおいて選択出力されるように前記選択信号を生成することを特徴とするヒューズ回路。

【請求項 7】 請求項 1 乃至 6 のいずれか記載のヒューズ回路と、

前記ヒューズ回路により調整された電圧値又は電流値、及び前記周期的信号に基づいて表示パネルを駆動する駆動回路と、

を含むことを特徴とする表示駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ヒューズ回路及び表示駆動回路に関する。

## 【 0 0 0 2 】

## 【従来の技術】

半導体集積回路において製造ばらつきによるプロセスパラメータの変動を吸収するため、ヒューズ回路が用いられることがある。ヒューズ回路によれば、溶断可能なヒューズ素子により設定される状態に応じて、回路内の所望の電流値や電圧値、発振周波数などのアナログ値を調整することができる。例えば液晶パネル（表示パネル）を駆動する表示駆動回路の場合、高精細な画像表現を行うために高精度な液晶駆動電圧が必要となる。ところが、液晶パネルの液晶材や、表示駆動回路自体の製造ばらつき等により、最適な液晶駆動電圧を生成することは困難である。そこで、ヒューズ回路を用いてヒューズ素子の設定状態に対応した状態を生成し、該状態に応じた液晶駆動電圧の微調整を行うことで、最適な画像表現を実現することができる。

## 【 0 0 0 3 】

## 【発明が解決しようとする課題】

しかしながら、ヒューズ回路の構成に依存して、静電気などの外来のノイズによりヒューズ素子の設定状態を保持した内容が変化するなどの不具合が生じる場合がある。

## 【 0 0 0 4 】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、回路規模を増大させることなく、外来のノイズに影響されないヒューズ回路と、これを含む表示駆動回路を提供することにある。

## 【 0 0 0 5 】

## 【課題を解決するための手段】

上記課題を解決するために本発明は、アナログ値を調整するためのヒューズ回路であって、ヒューズ素子の設定状態を記憶するラッチ回路と、前記ラッチ回路に、前記ヒューズ素子の設定状態を取り込むためのラッチクロックを、周期的信号に基づいて生成するラッチクロック生成回路とを含み、前記ラッチ回路は、前記ラッチクロックに基づき、周期的に前記ヒューズ素子の設定状態を取り込み、前記アナログ値は、前記ラッチ回路に取り込まれた前記ヒューズ素子の設定状態

に基づいて調整されるヒューズ回路に関する。

【 0 0 0 6 】

ここでヒューズ素子の設定状態は、例えば溶断可能に構成されたヒューズ素子の一端の電圧に対応した論理レベルであってもよい。

【 0 0 0 7 】

本発明においては、ラッチ回路にヒューズ素子の設定状態が取り込まれるが、周期的信号に基づいて生成したラッチクロックを用いてラッチ回路にヒューズ素子の設定状態を取り込むことで、周期的にヒューズ素子の設定状態を取り込むようにしている。こうすることで、静電気等の外来のノイズ等に起因してラッチ回路の保持内容が変化した場合であっても、周期的にラッチ回路の保持内容が更新されるので、ラッチ回路の保持内容に基づいてアナログ値が誤って調整されて不具合動作を起こさせることがなくなり、本来調整すべき値に調整されたアナログ値に基づく正常動作に復帰させることができるようになる。

【 0 0 0 8 】

また本発明は、アナログ値を調整するためのヒューズ回路であって、複数のヒューズ素子の設定状態を記憶する複数のラッチ回路と、周期的信号に基づいて、各ラッチ回路に対応してそれぞれ異なる位相の複数のラッチクロックを生成するラッチクロック生成回路とを含み、各ラッチ回路は、それぞれ対応するラッチクロックに基づき、対応するヒューズ素子の設定状態を周期的に取り込み、前記アナログ値は、前記複数のラッチ回路に取り込まれた前記複数のヒューズ素子の設定状態に基づいて調整されるヒューズ回路に関する。

【 0 0 0 9 】

本発明によれば、複数のラッチ回路に対し、それぞれ異なる位相のラッチ回路を供給するようにしたので、複数のヒューズ素子の設定状態を保持するラッチ回路の保持内容が一斉に更新されることがなくなる。そのため、ラッチ回路の保持内容の更新の際に流れる貫通電流を低減して低消費電力化を図ることができ、貫通電流の発生に起因したノイズの発生を抑えることができる。

【 0 0 1 0 】

また本発明に係るヒューズ回路では、前記ラッチクロック生成回路は、前記周



期的信号に基づいて、複数のラッチ回路単位でそれぞれ異なる位相の複数のラッチクロックを生成することができる。

【 0 0 1 1 】

本発明によれば、ラッチクロックの種類を少なくすることができるので、回路を簡素化することができる。

【 0 0 1 2 】

また本発明に係るヒューズ回路では、前記ラッチクロックは、前記周期的信号の立ち上がりエッジ及び立ち下がりエッジに同期して生成されてもよい。

【 0 0 1 3 】

本発明によれば、非常に簡素な構成で、複数の互いに異なる位相を有するラッチクロックを生成することができるので、回路の低コスト化を実現することができる。

【 0 0 1 4 】

また本発明に係るヒューズ回路では、前記周期的信号は、フレームごとに変化する信号であってもよい。

【 0 0 1 5 】

本発明によれば、例えばヒューズ回路を、表示制御を行う回路に適用した場合には、表示制御特有のフレームごとに変化する信号を流用することができ、回路規模の増大を抑えることができる。また、周期の短い内部クロックと異なり、ラッチ回路の保持内容が更新される頻度を少なくすることができる。これにより、ラッチ回路の構成によっては、保持内容が更新される際に流れる貫通電流を抑えて、低消費電力化を図ることができる。

【 0 0 1 6 】

また本発明に係るヒューズ回路では、ヒューズ素子の設定状態をテストするためのテスト用信号を保持するテスト用信号保持回路と、前記テスト用信号保持回路に保持された前記テスト用信号、及び前記ラッチ回路に取り込まれた前記ヒューズ素子の設定状態のうち、いずれか一方を選択信号に基づいて選択出力するセレクタと、テストモード設定信号と前記ラッチクロックとに基づいて、前記選択信号を生成する選択信号生成回路とを含み、前記選択信号生成回路は、前記ラッ

チクロックが入力されたとき、前記ラッチ回路に取り込まれた前記ヒューズ素子の設定状態が前記セレクトタにおいて選択出力されるように前記選択信号を生成することができる。

## 【 0 0 1 7 】

本発明によれば、ヒューズ素子の設定状態をテストするためのテストモード設定信号が静電気等の外来のノイズ等に起因して変化し、誤ってテストモードに移行した場合であっても、セレクトタにおいてラッチ回路に取り込まれたヒューズ素子の設定状態が選択出力させることが可能となる。したがって、上述した原因でテストモードに移行した場合であっても、正常動作に復帰させることができるようになる。

## 【 0 0 1 8 】

また本発明に係る表示駆動回路は、上記いずれか記載のヒューズ回路と、前記ヒューズ回路により調整された電圧値又は電流値、及び前記周期的信号に基づいて表示パネルを駆動する駆動回路とを含むことができる。

## 【 0 0 1 9 】

本発明によれば、表示制御に必要な周期的信号を流用するだけでヒューズ素子の設定状態を周期的に取り込むことができる。したがって、回路規模を増大させることなく、静電気等の外来のノイズに影響されずに、ヒューズ素子を用いた電圧値等のアナログ値の微調整により高精細な画像表現を可能とする表示駆動が可能となる。

## 【 0 0 2 0 】

## 【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

## 【 0 0 2 1 】

図 1 に、本実施形態におけるヒューズ回路の構成の一例を示す。

## 【 0 0 2 2 】

ここでヒューズ回路は、3ビット分のヒューズ素子を用いるものとして説明するが、2ビットや4ビット以上のビット数であっても同様である。

#### 【0023】

ヒューズ回路10は、ヒューズ素子FE1～FE3を用いて生成されるヒューズ素子の設定状態を保持することができる。各ヒューズ素子は、例えばその両端に所与の高電圧を印加することで溶断される。

#### 【0024】

ヒューズ回路10は、ラッチ回路20<sub>1</sub>～20<sub>3</sub>、テスト用信号保持回路22<sub>1</sub>～22<sub>3</sub>、セクタ24<sub>1</sub>～24<sub>3</sub>を含むことができる。

#### 【0025】

各ヒューズ素子の一端は、電源電圧V<sub>dd</sub>が供給される（システム）電源に接続されている。また各ヒューズ素子の他端には、それぞれラッチ回路が接続されている。したがってヒューズ素子が溶断されていない状態では、当該ヒューズ素子の他端の電圧はほぼ電源電圧V<sub>dd</sub>となる。

#### 【0026】

ラッチ回路20<sub>1</sub>～20<sub>3</sub>は、ヒューズ素子FE1～FE3の他端の電圧に対応した論理レベル（広義には、ヒューズ素子の設定状態）を取り込み、ヒューズラッチデータFL1～FL3を出力する。ラッチ回路20<sub>1</sub>～20<sub>3</sub>は、ヒューズ素子FE1～FE3の他端（システム電源に接続されていない方の端子）の電圧に対応した論理レベルを取り込む。

#### 【0027】

例えばヒューズ素子FE1が溶断されていない状態では、ラッチ回路20<sub>1</sub>は論理レベル「H」を保持し、ヒューズラッチデータFL1として論理レベル「L」を出力する。またヒューズ素子FE1が溶断された状態では、ラッチ回路20<sub>1</sub>は、溶断によりオープン状態とされたヒューズ素子FE1の他端の電圧の論理レベル「L」を保持し、ヒューズラッチデータFL1として論理レベル「H」を出力する。ラッチ回路20<sub>2</sub>、20<sub>3</sub>も同様に、ヒューズ素子FE2、FE3の溶断状態に応じた論理レベルを保持する。

#### 【0028】

ところでヒューズ素子 F E 1 ~ F E 3 は、一旦溶断させると復元させることができない。ヒューズ回路 1 0 では、事前にヒューズ素子 F E 1 ~ F E 3 の設定状態により調整されるアナログ値が許容できるか否かを確認するためのテスト用信号 I D 1 ~ I D 3 を用い、ヒューズ素子 F E 1 ~ F E 3 を溶断させた状態と等価な状態を作り出すことができるようになっている。そのため、テスト用信号保持回路 2 2 <sub>1</sub> ~ 2 2 <sub>3</sub> において、テストモード設定信号 F U S E に基づきテスト用信号 I D 1 ~ I D 3 を保持し、テスト用ラッチデータ T E S T 1 ~ T E S T 3 を出力する。そして、セレクタ 2 4 <sub>1</sub> ~ 2 4 <sub>3</sub> において、選択信号 S E L に基づき、ヒューズラッチデータ F L 1 ~ F L 3 からテスト用ラッチデータ T E S T 1 ~ T E S T 3 に切り換えて、ヒューズ回路出力信号 F S 1 ~ F S 3 として出力する。

#### 【 0 0 2 9 】

そしてヒューズ回路出力信号 F S 1 ~ F S 3 により特定される最大 8 状態の各状態に対応したアナログ値の調整を行うように構成する。こうすることで、ヒューズ素子の設定状態に応じた最大 8 パターンの微調整が可能となり、かつ事前にその設定状態と等価なテスト状態を作り出すことができる。ヒューズ回路 1 0 では、テストモード設定信号 F U S E を用いて生成した選択信号 S E L により切り換えることで、上述のテスト状態に設定することができる。

#### 【 0 0 3 0 】

より具体的には、ヒューズ回路 1 0 は、選択信号 S E L を生成する選択信号生成回路 2 6 を含む。選択信号生成回路 2 6 は、R S フリップフロップを含む。R S フリップフロップは、テストモード設定信号 F U S E の反転信号をセット信号とし、またラッチクロック L C L K をリセット信号として、選択信号 S E L を生成する。

#### 【 0 0 3 1 】

更にヒューズ回路 1 0 は、ラッチクロック L C L K を生成するラッチクロック生成回路 2 8 を含む。ラッチクロック生成回路 2 8 は、立ち上がりエッジ検出回路を含む。すなわち、ラッチクロック生成回路 2 8 は、入力信号の立ち上がりを基準に、インバータ列 3 段分の遅延時間に対応するパルス幅を有するラッチクロ

ック L C L K を生成する。

【 0 0 3 2 】

例えば液晶パネルを駆動する表示駆動回路にヒューズ回路を適用する場合、リセット信号 R E S 又は表示オン信号 D O N が論理レベル「H」から「L」に変化したとき、ラッチクロック L C L K を生成することができる。ここでリセット信号 R E S は、ハードウェアリセットによりアクティブとなる信号であり、このとき論理レベル「H」のパルス信号となる。また表示オン信号 D O N は、例えばソフトウェア（ファームウェア）により行われるリフレッシュシーケンスにおいて、表示データ R A M 等の内容をクリアするコマンドに対応してアクティブとなる信号であり、このとき論理レベル「H」のパルス信号となる。

【 0 0 3 3 】

図 2 に、ヒューズ回路 1 0 の動作タイミングの一例を示す。

【 0 0 3 4 】

ここでテストモード設定信号 F U S E の論理レベルが「H」の状態のままで、テストモードに移行しない場合を示している。

【 0 0 3 5 】

ヒューズ回路 1 0 では、ヒューズ素子 F E 1 ～ F E 3 のいずれかが溶断されて、ヒューズ素子の設定状態がラッチ回路 2 0<sub>1</sub> ～ 2 0<sub>3</sub> に保持される。ラッチ回路 2 0<sub>1</sub> ～ 2 0<sub>3</sub> は、その保持内容に対応してヒューズラッチデータ F L 1 ～ F L 3 を出力する。

【 0 0 3 6 】

ハードウェアリセットによりリセット信号 R E S の論理レベルが「H」となり、その後論理レベルが「L」となったとき ( t 1 )、ラッチクロック生成回路 2 8 によりラッチクロック L C L K が生成される。ラッチ回路 2 0<sub>1</sub> ～ 2 0<sub>3</sub> は、このラッチクロック L C L K により、再度ヒューズ素子 F E 1 ～ F E 3 の他端の電圧に対応した論理レベルを取り込む。また選択信号生成回路 2 6 は、選択信号 S E L の論理レベルを「L」にする。したがって、セクタ 2 4<sub>1</sub> ～ 2 4<sub>3</sub> は、ラッチ回路 2 0<sub>1</sub> ～ 2 0<sub>3</sub> に保持されたヒューズラッチデータ F L 1 ～ F L 3 を選択して、ヒューズ回路出力信号 F S 1 ～ F S 3 として出力する。したがって、

ヒューズラッチデータ F L 1 ~ F L 3 により、所望のアナログ値が調整される。

【 0 0 3 7 】

その後、ユーザにより表示オンコマンドが実行され、表示オン信号 D O N の論理レベルが「H」となり、その後論理レベルが「L」となったとき ( t 2 ) 、ラッチクロック生成回路 2 8 によりラッチクロック L C L K が生成される。ラッチ回路 2 0 <sub>1</sub> ~ 2 0 <sub>3</sub> は、このラッチクロック L C L K により、再度ヒューズ素子 F E 1 ~ F E 3 の他端の電圧に対応した論理レベルを取り込む。

【 0 0 3 8 】

図 3 に、ヒューズ回路 1 0 の動作タイミングの他の例を示す。

【 0 0 3 9 】

ここでは、テストモード設定信号 F U S E の論理レベルが「L」となるパルスの入力により、テストモードに移行する場合を示している。

【 0 0 4 0 】

ヒューズ回路 1 0 では、ヒューズ素子 F E 1 ~ F E 3 のいずれかが溶断されて、ヒューズ素子の設定状態がラッチ回路 2 0 <sub>1</sub> ~ 2 0 <sub>3</sub> に保持される。ラッチ回路 2 0 <sub>1</sub> ~ 2 0 <sub>3</sub> は、その保持内容に対応してヒューズラッチデータ F L 1 ~ F L 3 を出力する。

【 0 0 4 1 】

ハードウェアリセットによりリセット信号 R E S の論理レベルが「H」となり、その後論理レベルが「L」となったとき ( t 1 0 ) 、ラッチクロック生成回路 2 8 によりラッチクロック L C L K が生成される。ラッチ回路 2 0 <sub>1</sub> ~ 2 0 <sub>3</sub> は、このラッチクロック L C L K により、再度ヒューズ素子 F E 1 ~ F E 3 の他端の電圧に対応した論理レベルを取り込む。また選択信号生成回路 2 6 は、選択信号 S E L の論理レベルを「L」にする。したがって、セクタ 2 4 <sub>1</sub> ~ 2 4 <sub>3</sub> は、ラッチ回路 2 0 <sub>1</sub> ~ 2 0 <sub>3</sub> に保持されたヒューズラッチデータ F L 1 ~ F L 3 を選択して、ヒューズ回路出力信号 F S 1 ~ F S 3 として出力する。

【 0 0 4 2 】

その後、ユーザにより表示オンコマンドが実行されて、表示オン信号 D O N の論理レベルが「H」となり、その後論理レベルが「L」となったとき ( t 1 1 )

、ラッチクロック生成回路 2 8 によりラッチクロック L C L K が生成される。ラッチ回路 2 0<sub>1</sub> ~ 2 0<sub>3</sub> は、このラッチクロック L C L K により、再度ヒューズ素子 F E 1 ~ F E 3 の他端の電圧に対応した論理レベルを取り込む。

## 【 0 0 4 3 】

そして、テストモードに移行させるためにテストモード設定信号 F U S E のパルスが入力されると ( t 1 2 ) 、テストモード設定信号 F U S E の立ち上がりエッジで、テスト用信号保持回路 2 2<sub>1</sub> ~ 2 2<sub>3</sub> にテスト用信号 I D 1 ~ I D 3 がラッチされる。テスト用信号保持回路 2 2<sub>1</sub> ~ 2 2<sub>3</sub> は、テスト用ラッチデータ T E S T 1 ~ T E S T 3 を出力する。また選択信号生成回路 2 6 において選択信号 S E L の論理レベルが「H」となる。したがって、セレクタ 2 4<sub>1</sub> ~ 2 4<sub>3</sub> は、テスト用信号保持回路 2 2<sub>1</sub> ~ 2 2<sub>3</sub> に保持されたテスト用ラッチデータ T E S T 1 ~ T E S T 3 を選択して、ヒューズ回路出力信号 F S 1 ~ F S 3 として出力する。これにより、テスト用ラッチデータ T E S T 1 ~ T E S T 3 により、所望のアナログ値が調整されることになる ( ヒューズテスト ) 。

## 【 0 0 4 4 】

ところで本実施形態におけるヒューズ回路 1 0 では、図 1 に示すようにラッチクロック生成回路 2 8 に対し、リセット信号 R E S 及び表示オン信号 D O N の他に、周期的信号 ( 図 1 ではフレーム信号 F R ) も入力されている。そして本実施形態では、周期的信号により生成されたラッチクロック C L K により、ヒューズ素子の設定状態をラッチ回路 2 0<sub>1</sub> ~ 2 0<sub>3</sub> に再度取り込むことを特徴としている。ここで、フレーム信号 F R は、フレームごとに変化する信号である。このフレーム信号 F R により液晶への印加電圧を反転させたり、或いはフレーム信号 F R に基づいて液晶への印加電圧を反転させる交流化信号 ( 極性反転信号 ) を生成することができる。

## 【 0 0 4 5 】

以下では、図 4 ( A ) 、 ( B ) 及び図 5 ( A ) 、 ( B ) を用いて、ヒューズ回路 1 0 においてラッチクロック生成回路 2 8 に周期的信号が必要となる理由を説明する。

## 【 0 0 4 6 】

図 4 (A) は、ヒューズラッチデータ F L 1 の内容が変化して不具合動作となる場合のタイミングチャートの一例である。図 4 (B) は、周期的信号によりヒューズラッチデータ F L 1 の内容が変化しても正常動作となる場合のタイミングチャートの一例である。ここでは、ヒューズラッチデータ F L 1 についてのみ示しているが、ヒューズラッチデータ F L 2、F L 3 についても同様である。

## 【 0 0 4 7 】

図 4 (A) において、ハードウェアリセットによりリセット信号 R E S のパルスが発生し (t 2 0)、その後ユーザにより実行された表示オンコマンドによって表示オン信号 D O N のパルスが発生して (t 2 1)、ラッチ回路 2 0<sub>1</sub> ~ 2 0<sub>3</sub> が、ラッチクロック L C L K により、再度ヒューズ素子 F E 1 ~ F E 3 の他端の電圧に対応した論理レベルを取り込むまでの動作は、図 2 と同様の説明を省略する。

## 【 0 0 4 8 】

例えば表示オン信号 D O N のパルス発生後に、ヒューズ素子 F E 1 のオープン状態となっている他端に静電気などの外来のノイズがのり、その結果としてラッチ回路 2 0<sub>1</sub> の保持内容が変化してしまう場合がある (t 2 2)。この場合、ヒューズラッチデータ F L 1 も論理レベル「L」から「H」に変化してしまう。したがって、セクタ 2 4<sub>1</sub> においてヒューズラッチデータ F L 1 が選択されて出力されるヒューズ回路出力信号 F S 1 により、調整すべきアナログ値が変化して不具合動作を招くことになる。

## 【 0 0 4 9 】

これに対して図 4 (B) に示す本実施形態では、表示オン信号 D O N のパルス発生後でも、フレーム信号 F R により周期的にラッチクロック L C L K が生成される (t 2 3、t 2 4、t 2 5)。したがって、タイミング t 2 3、t 2 4、t 2 5 で生成されたラッチクロック C L K により、ヒューズ素子の設定状態がラッチ回路に取り込まれることになる。このため、図 4 (A) に示した不具合動作発生タイミング t 2 2 以降のタイミング t 2 5 で生成されるラッチクロック L C L K により、ヒューズ素子 F E 1 の設定状態がラッチ回路 2 0<sub>1</sub> に取り込まれる。これにより、ラッチ回路 2 0<sub>1</sub> の保持内容は論理レベル「H」に戻り、ヒューズ



ラッチデータ F L 1 の論理レベル「L」に復帰して、それ以降正常動作に復帰させることができる。

#### 【 0 0 5 0 】

図 5 (A) は、テストモード設定信号 F U S E にノイズが重畳して不具合動作となる場合のタイミングチャートの一例である。図 5 (B) は、周期的信号によりテストモード設定信号 F U S E にノイズが重畳しても正常動作となる場合のタイミングチャートの一例である。

#### 【 0 0 5 1 】

図 5 (A) において、ハードウェアリセットによりリセット信号 R E S のパルスが発生し ( t 3 0 ) 、その後ユーザにより実行された表示オンコマンドによって表示オン信号 D O N のパルスが発生して ( t 3 1 ) 、テスト用信号保持回路 2 2 <sub>1</sub> ~ 2 2 <sub>3</sub> に保持されたテスト用ラッチデータ T E S T 1 ~ T E S T 3 がヒューズ回路出力信号 F S 1 ~ F S 3 として出力されるまでの動作は、図 3 と同様のため説明を省略する。

#### 【 0 0 5 2 】

例えば表示オン信号 D O N のパルス発生後に、テストモード設定信号 F U S E に静電気などの外来のノイズがのり、その結果としてテストモード設定信号 F U S E が論理レベル「L」となる場合がある ( t 3 2 ) 。この場合、選択信号生成回路 2 6 において、選択信号 S E L の論理レベルが「L」から「H」に変化してしまう。したがって、テストモードに移行させる意図ではないにも関わらず、セレクタ 2 4 <sub>1</sub> ~ 2 4 <sub>3</sub> では、テスト用ラッチデータ T E S T 1 ~ T E S T 3 がヒューズ回路出力信号 F S 1 ~ F S 3 として出力され、調整すべきアナログ値が変化して不具合動作を招くことになる。

#### 【 0 0 5 3 】

これに対して図 5 (B) に示す本実施形態では、表示オン信号 D O N のパルス発生後でも、フレーム信号 F R により周期的にラッチクロック L C L K が生成される ( t 3 3 、 t 3 4 、 t 3 5 ) 。したがって、図 5 (A) に示した不具合動作発生タイミング t 3 2 以降のタイミング t 3 5 で生成されるラッチクロック L C L K により、選択信号生成回路 2 6 で生成される選択信号 S E L の論理レベル「

L」に戻る。これにより、ヒューズ回路出力信号 F S 1 ~ F S 3 としてテスト用ラッチデータ T E S T 1 ~ T E S T 3 が出力されることなく、正常動作に復帰させることができる。

#### 【 0 0 5 4 】

このように周期的信号を用いてラッチクロック L C L K を生成するようにしたので、ハードウェアリセット後におけるユーザに依存した表示オンコマンドの実行タイミングに関わらず、上述した不具合動作を回避することができるようになる。

#### 【 0 0 5 5 】

なお周期的信号としては、図 1 に示したフレーム信号 F R に限定されるものではない。例えば周期的信号として、図 6 に示すスタートパルス信号 Y D やラッチパルス信号 L P、昇圧クロックなどがある。ここでスタートパルス信号 Y D は、フレームの先頭を示すパルス信号である。ラッチパルス信号 L P は、一水平走査期間を規定する信号である。昇圧クロックは、液晶パネルの駆動に必要な高電圧を生成するチャージポンプ式の昇圧回路に必要とされるタイミング信号である。

#### 【 0 0 5 6 】

なお周期的信号としては、周期の短い内部クロックよりも、周期の長い信号であることが望ましい。ラッチ回路でヒューズの設定状態を取り込むときに、貫通電流が流れる頻度が少ない方が低消費電力化の点で有利だからである。

#### 【 0 0 5 7 】

図 7 に、ヒューズ回路 1 0 を適用した表示駆動回路の構成の概要を示す。

#### 【 0 0 5 8 】

なお図 1 に示すヒューズ回路 1 0 と同一部分には同一符号を付し、適宜説明を省略する。

#### 【 0 0 5 9 】

ここではヒューズ回路 1 0 がアナログ値として液晶駆動電圧 V 5 の微調整のために用いられている場合を示している。液晶駆動電圧 V 4 などの他のアナログ値についても、調整対象のアナログ値ごとに同様のヒューズ回路を用いることができる。また図 7 では、3 ビットにより微調整を行う場合を示しているが、ビット

数に限定されるものではない。

#### 【 0 0 6 0 】

ヒューズ素子 F E 1 ～ F E 3 については、それぞれ一端がシステム電源に接続され、それぞれ他端がヒューズ端子（広義には外部端子） F T 1 ～ F T 3 に接続されている。ヒューズ端子 F T 1 に電圧を供給することで、ヒューズ素子 F E 1 の両端に高電圧を印加することができ、ヒューズ素子 F E 1 を溶断することができる。同様にして、ヒューズ端子 F T 2、 F T 3 に電圧を供給することで、ヒューズ素子 F E 2、 F E 3 を溶断することができる。

#### 【 0 0 6 1 】

ヒューズ回路 1 0 で生成されたヒューズ回路出力信号 F S 1 ～ F S 3 は、デコーダ 1 1 0 に入力される。デコーダ 1 1 0 は、ヒューズ回路出力信号 F S 1 ～ F S 3 により示される 3 ビットをデコードしてアナログスイッチ（ S W ） 1 1 2 の切り替え制御信号を生成する。

#### 【 0 0 6 2 】

アナログ S W 1 1 2 の切り替え制御により、抵抗回路 1 1 4 における抵抗分割比が決まる。したがって、ボルテージフォロワ接続されたオペアンプ回路 1 1 6 の出力電圧を調整して、精度良く基準電圧  $V_{50}$ （例えば、 $-2.1\text{ V}$ ）に設定することができる。

#### 【 0 0 6 3 】

そして基準電圧  $V_{50}$  に基づいて、電子ボリューム（ V R ） 1 1 8 及び  $V_5$  設定用抵抗 1 2 0、オペアンプ回路 1 2 2 により、ソフトウェアによるスイッチ制御によって、液晶駆動電圧  $V_5$ （広義にはアナログ値）を微調整することができる。

#### 【 0 0 6 4 】

表示駆動回路 1 0 0 は、更に表示データ R A M 1 4 0、表示デコーダ回路 1 5 0、液晶駆動回路（広義には、駆動回路） 1 6 0 を含むことができる。表示データ R A M 1 4 0 は、例えば 1 フレーム分の表示データを記憶することができる。表示デコーダ回路 1 5 0 は、例えば M L S（Multi Line Selection）による表示駆動を行うために表示タイミング及び表示パターンに対応したデコード出力を行

う。液晶駆動回路 1 6 0 は、このデコード出力に対応した液晶駆動電圧（V 5、V 4 等）を駆動電圧出力端子（広義には外部端子）V<sub>0</sub>に出力する。

【 0 0 6 5 】

このように本実施形態におけるヒューズ回路 1 0 を表示駆動回路に適用した場合、表示制御に必要な周期的信号を流用するだけで上述のようにヒューズ素子の設定状態を周期的に取り込むことができる。したがって、回路規模を増大させることなく、外来のノイズに影響されずに、ヒューズ素子を用いたアナログ値の微調整が可能となる。

【 0 0 6 6 】

このような表示駆動回路 1 0 0 は、図 8 に示す液晶装置 2 0 0 のセグメントドライバに適用することができる。図 8 における液晶装置 2 0 0 は、電気光学素子を有するマトリクスパネル例えばカラーの液晶パネル（広義には表示パネル）2 1 0 と、この液晶パネル 2 1 0 を駆動する R A M 内蔵のセグメントドライバ 2 2 0 と、走査用のコモンドライバ 2 3 0 とを有する。

【 0 0 6 7 】

液晶パネル 2 1 0 は、電圧印加によって光学特性が変化する液晶その他の電気光学素子を用いたものであればよい。液晶パネル 2 1 0 としては、例えば単純マトリクスパネルで構成でき、この場合、複数のセグメント電極（第 1 の電極）が形成された第 1 基板と、コモン電極（第 2 の電極）が形成された第 2 基板との間に、液晶が封入される。液晶パネル 2 1 0 は薄膜トランジスタ（T F T）、薄膜ダイオード（T F D）等の三端子素子、二端子素子を用いたアクティブマトリクスパネルであっても良い。これらのアクティブマトリクスパネルも、R A M 内蔵セグメントドライバ 2 2 0 により駆動される複数の信号電極（第 1 の電極）と、コモンドライバ 2 3 0 により走査駆動される複数の走査電極（第 2 の電極）を有する。

【 0 0 6 8 】

このように液晶装置 2 0 0 に表示駆動回路 1 0 0 を用いることで、高精度に調整された液晶駆動電圧により、高精細な画像表現を実現することができるようになる。

## 【 0 0 6 9 】

(変形例)

図 1 において、各々が 2 つのノードに互いに相補的な状態を保持する構成のラッチ回路  $20_1 \sim 20_3$  では、その保持内容を更新する際に貫通電流が流れてしまう。したがって、ラッチ回路  $20_1 \sim 20_3$  の全てがラッチクロック  $LCLK$  によりその保持内容が更新される場合には、一斉に貫通電流が流れてノイズが発生する場合も考えられる。

## 【 0 0 7 0 】

そこで本変形例におけるヒューズ回路では、複数のヒューズ素子の各設定状態を保持する複数のラッチ回路に対し、1 又は複数個のラッチ回路単位でラッチクロックを生成する。これらラッチクロックについては、互いに位相が異なるように生成される。こうすることで、全てのラッチ回路が同一タイミングでその保持内容が更新されることがなくなるため、貫通電流を低減し、ノイズの発生を抑えることができるようになる。

## 【 0 0 7 1 】

図 9 に、本変形例におけるヒューズ回路の構成の一例を示す。

## 【 0 0 7 2 】

ここで、図 1 に示すヒューズ回路 10 と同一部分には同一符号を付し、適宜説明を省略する。

## 【 0 0 7 3 】

本変形例におけるヒューズ回路 300 が図 1 に示すヒューズ回路 10 と異なる点は、ヒューズ回路 300 が複数のヒューズ素子  $FE_1 \sim FE_k$  ( $k$  は 2 以上の整数) の各設定状態を保持するラッチ回路  $20_1 \sim 20_k$  を有し、ラッチ回路  $20_1 \sim 20_k$  について 1 又は複数個単位で、互いに位相が異なるラッチクロックが生成されている点である。図 9 では、ラッチ回路  $20_1 \sim 20_k$  に対して、それぞれラッチクロック  $LCLK_1 \sim LCLK_k$  が供給される。ラッチクロック  $LCLK$  は、ラッチクロック  $LCLK_1 \sim LCLK_k$  の論理和演算結果として出力される。

## 【 0 0 7 4 】

そのためラッチクロック生成回路 3 1 0 は、立ち上がり検出回路（広義には微分回路）3 1 2、3 1 4、及び立ち下がり検出回路（広義には微分回路）3 1 6 を含む。立ち上がり検出回路 3 1 2 は、リセット信号 R E S 及び表示オン信号 D O N が入力される 2 入力 1 出力 N O R 回路の出力信号の立ち上がりエッジを検出し、該立ち上がりエッジに同期したパルス信号を出力する。立ち上がり検出回路 3 1 4 は、フレーム信号 F R（広義には周期的信号）の立ち上がりエッジを検出し、該立ち上がりエッジに同期したパルス信号 a を出力する。立ち下がり検出回路 3 1 6 は、フレーム信号 F R の立ち下がりエッジを検出し、該立ち下がりエッジに同期したパルス信号 b を出力する。

## 【 0 0 7 5 】

図 1 0 に、フレーム信号 F R より生成されるパルス信号 a、b のタイミングチャートを示す。

## 【 0 0 7 6 】

パルス信号 a は、フレーム信号 F R の立ち上がりに同期して生成される。パルス信号 b は、フレーム信号 F R の立ち下がりに同期して生成される。立ち上がり検出回路 3 1 4 及び立ち下がり検出回路 3 1 6 は、遅延素子と論理回路とで構成することができるため、互いに位相が異なるラッチクロックを非常に簡素な構成で生成することができるようになる。

## 【 0 0 7 7 】

立ち上がり検出回路 3 1 2 から出力されるパルス信号とパルス信号 a との論理和が、例えばラッチクロック L C L K 1、L C L K 2、 $\dots$ 、L C L K m（m は k より小さい正の整数）となる。立ち上がり検出回路 3 1 2 から出力されるパルス信号とパルス信号 b との論理和が、例えばラッチクロック L C L K（m + 1）、 $\dots$ 、L C L K（k - 1）、L C L K k となる。すなわち、パルス信号 a、b が、そのままラッチクロックとして、ラッチ回路に対して供給される。図 9 では、ラッチ回路 2 0<sub>1</sub> ~ 2 0<sub>k</sub> は、互いに位相の異なる 2 種類のラッチクロックにより、その保持内容が更新される。

## 【 0 0 7 8 】

なお、ラッチ回路 2 0<sub>1</sub> ~ 2 0<sub>k</sub> のそれぞれに対して、互いに異なる位相を有

するラッチクロックを供給する場合、貫通電流の発生を最小限に抑えることができるので回路の低消費電力化を図ることができるようになる。一方、ラッチ回路  $20_1 \sim 20_k$  の複数個単位で、互いに異なる位相を有するラッチクロックを供給する場合、ラッチクロックの種類を少なくすることができるので、ラッチクロック生成回路の構成の簡素化を図りヒューズ回路の低コスト化に貢献できる。

## 【 0 0 7 9 】

このように本変形例によれば、複数のラッチ回路の保持内容を一斉に更新することなく、少なくとも2つの位相でラッチ回路の保持内容が更新される。こうすることで、ラッチ回路の保持内容の更新の際の貫通電流を低減することができ、かつ貫通電流の発生に起因するノイズの発生を抑えることができるようになる。

## 【 0 0 8 0 】

また上述した本変形例におけるヒューズ回路 3 0 0 についても、図 1 に示したヒューズ回路 1 0 と同様に図 7 に示す表示駆動回路及び図 8 に示すセグメントドライバに適用することができる。その構成及び動作は図 1 に示すヒューズ回路 1 0 と同様であるため、説明を省略する。

## 【 0 0 8 1 】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

## 【 0 0 8 2 】

またラッチ回路、セレクト回路、テスト用信号保持回路、選択信号生成回路及びラッチクロック生成回路については、図 1 又は図 9 に示した構成に限定されるものではない。

## 【 0 0 8 3 】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

## 【図面の簡単な説明】

【図 1】 本実施形態におけるヒューズ回路の構成の一例を示す回路図。

【図 2】 ヒューズ回路の動作タイミングの一例のタイミングチャート。

【図 3】 ヒューズ回路の動作タイミングの他の例のタイミングチャート。

【図 4】 図 4 (A) はヒューズラッチデータの内容が変化して不具合動作となる場合のタイミングチャートの一例。図 4 (B) は周期的信号によりヒューズラッチデータの内容が変化しても正常動作となる場合のタイミングチャート。

【図 5】 図 5 (A) は、テストモード設定信号にノイズが重畳して不具合動作となる場合のタイミングチャートの一例。図 5 (B) は周期的信号によりテストモード設定信号にノイズが重畳しても正常動作となる場合のタイミングチャートの一例。

【図 6】 周期的信号の他の例を示す図。

【図 7】 ヒューズ回路を適用した表示駆動回路の構成の概要のブロック図。

【図 8】 液晶装置の構成の概要を示すブロック図。

【図 9】 本変形例におけるヒューズ回路の構成の一例を示す回路図。

【図 10】 本変形例におけるフレーム信号 FR より生成されるパルス信号 a、b のタイミングチャート。

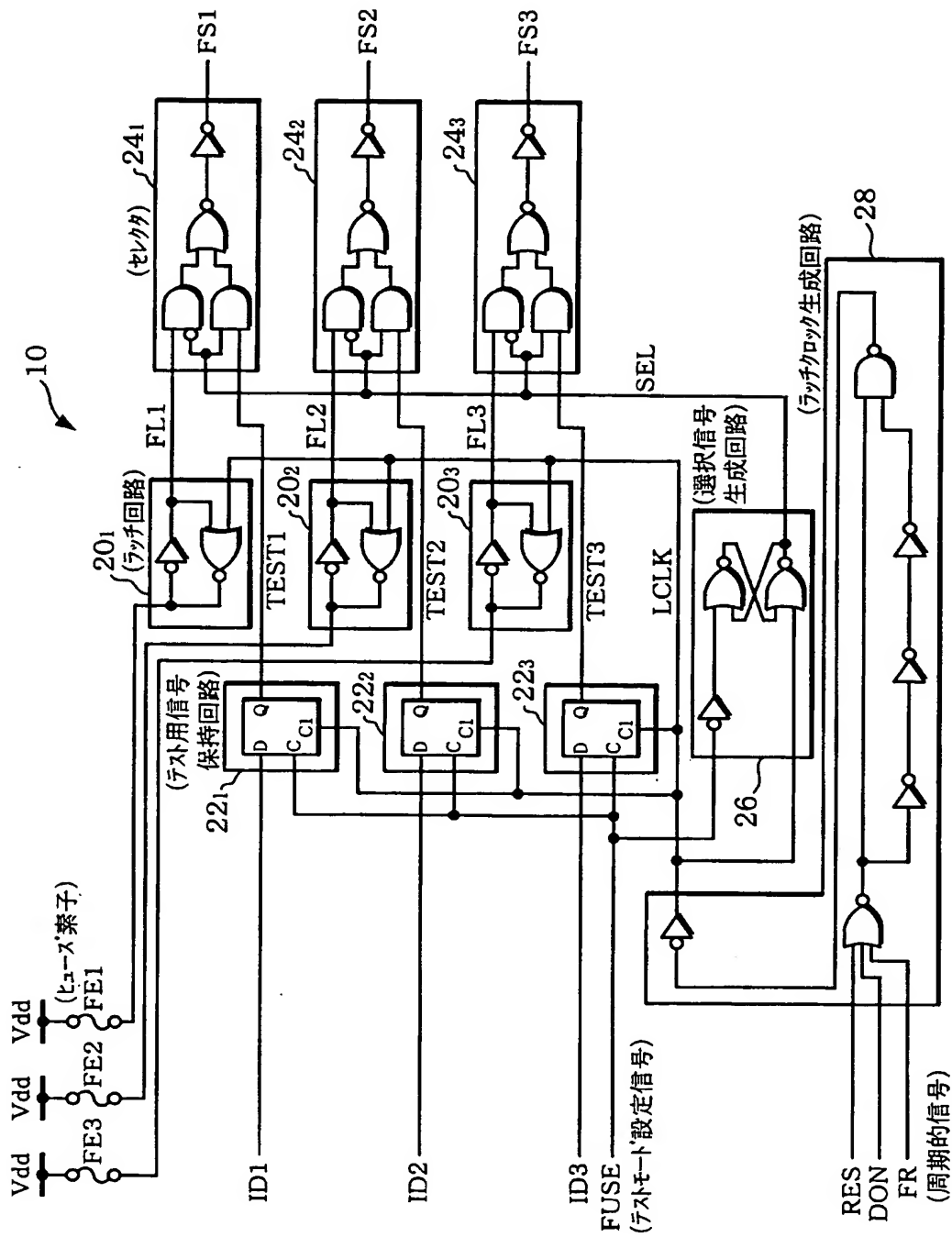
【符号の説明】

1 0、3 0 0 ヒューズ回路、2 0<sub>1</sub>～2 0<sub>3</sub> ラッチ回路、2 2<sub>1</sub>～2 2<sub>3</sub> テスト用信号保持回路、2 4<sub>1</sub>～2 4<sub>3</sub> セレクタ、2 6 選択信号生成回路、2 8、3 1 0 ラッチクロック生成回路、1 0 0 表示駆動回路、1 1 0 デコーダ、1 1 2 アナログ SW、1 1 4 抵抗回路、1 1 6、1 2 2 オペアンプ回路、1 1 8 電子 VR、1 2 0 V5 設定用抵抗、1 4 0 表示データ RAM、1 5 0 表示デコーダ回路、1 6 0 液晶駆動回路、2 0 0 液晶装置、2 1 0 液晶パネル、2 2 0 セグメントドライバ、2 3 0 コモンドライバ、DON 表示オン信号、FE 1～FE k ヒューズ素子、FL 1～FL k ヒューズラッチデータ、FR フレーム信号、FS 1～FS k ヒューズ回路出力信号、FT 1～FT k ヒューズ端子、FUSE テストモード設定信号、ID 1～ID k テスト用信号、LCLK ラッチクロック、LP ラッチパルス信号、RES リセット信号、SEL 選択信号、TEST 1～TEST k テスト用ラッチデータ、YD スタートパルス信号

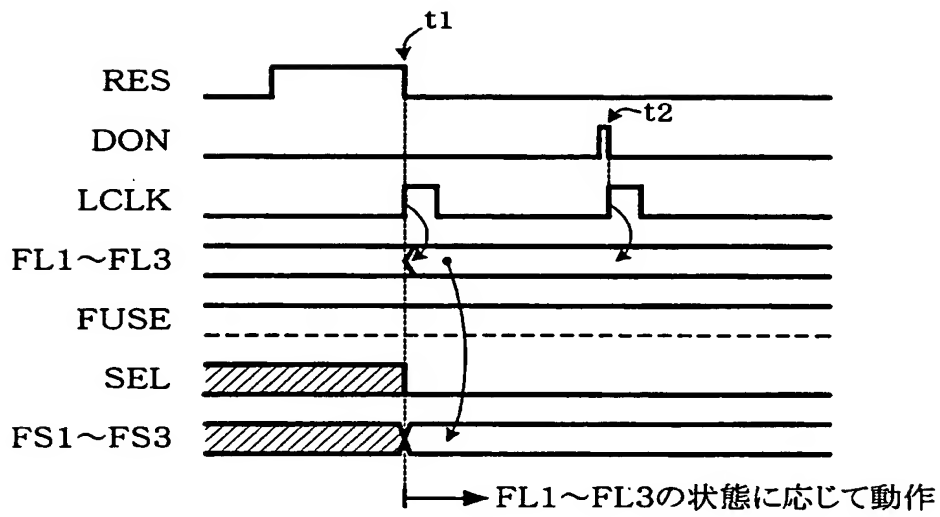


【書類名】 図面

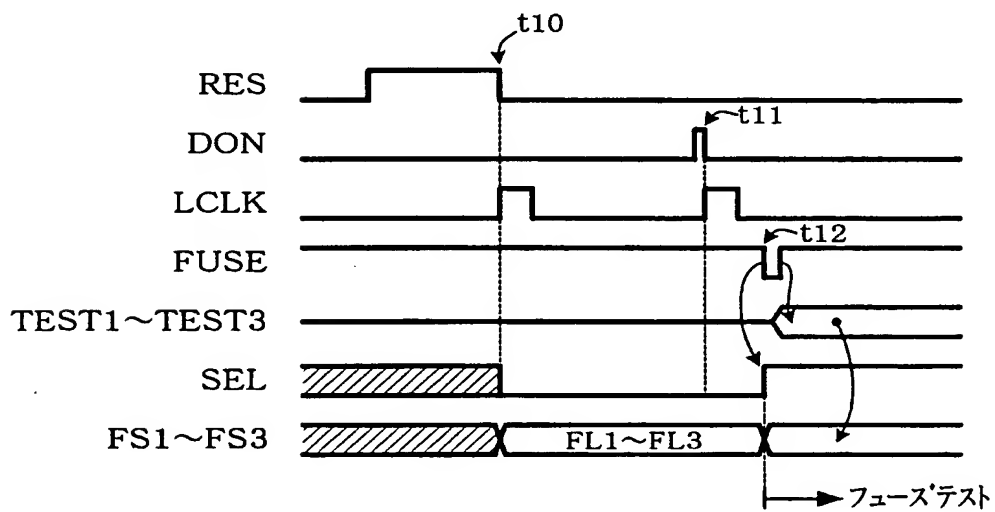
【図 1】



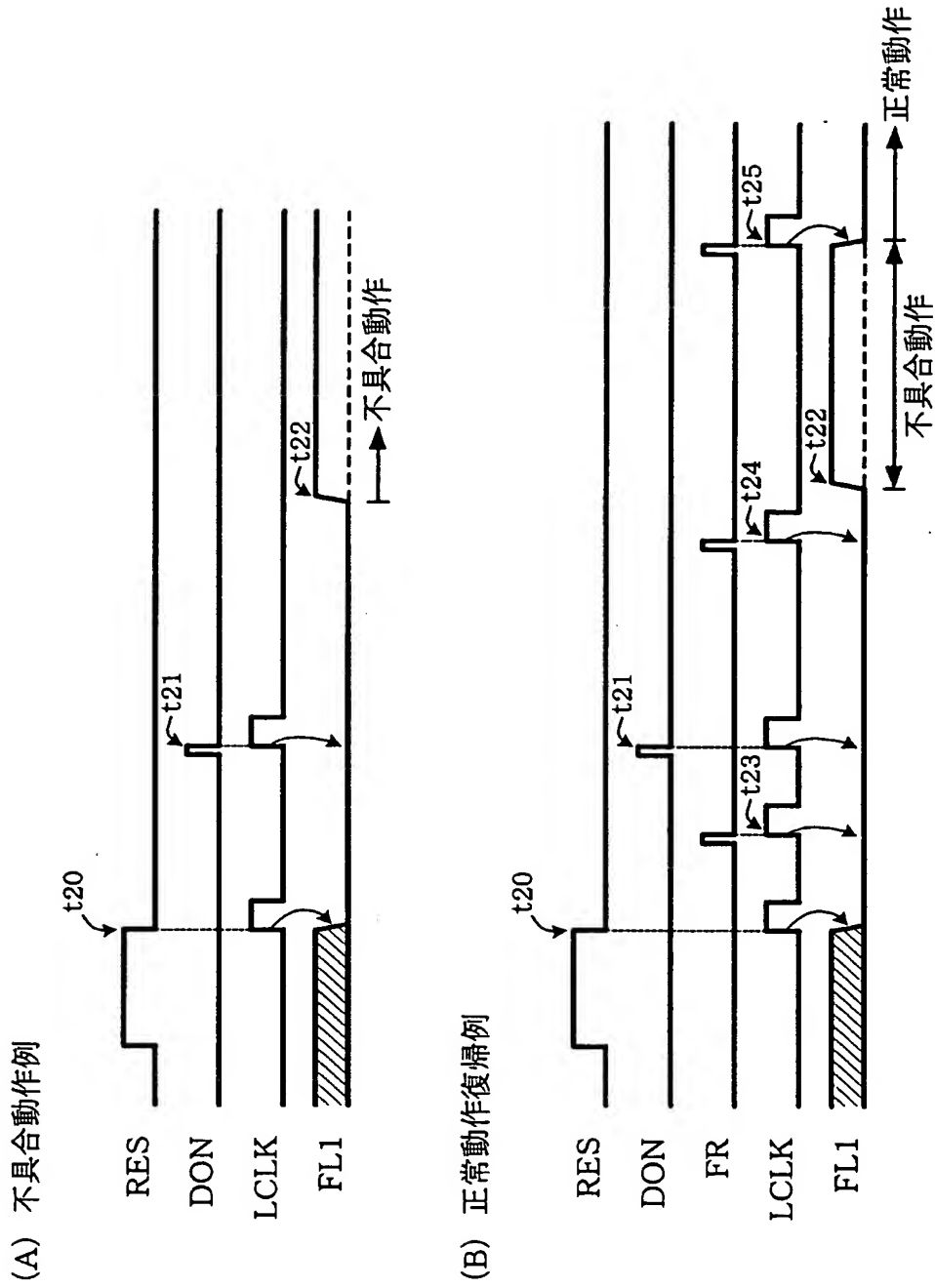
【図 2】



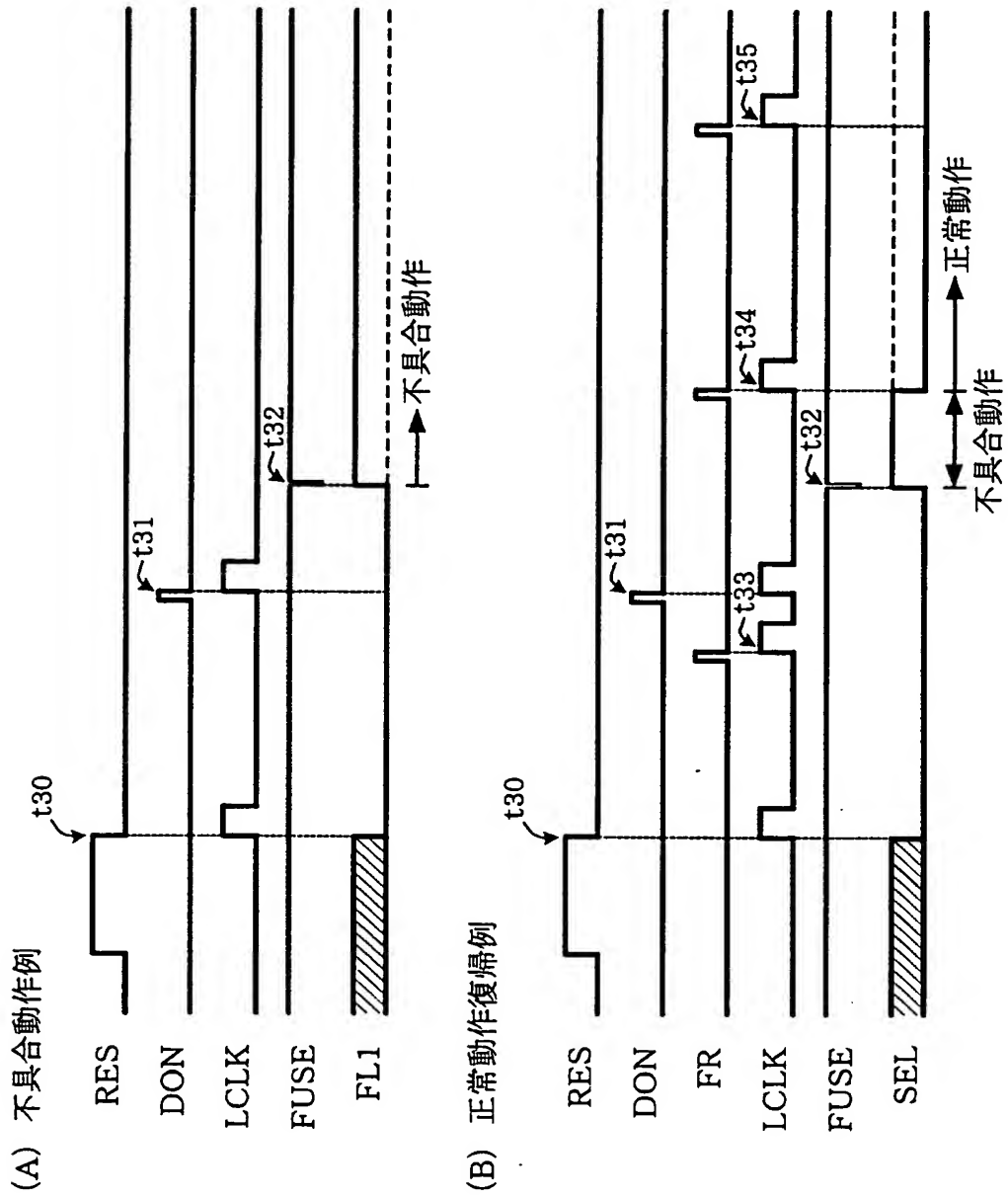
【図 3】



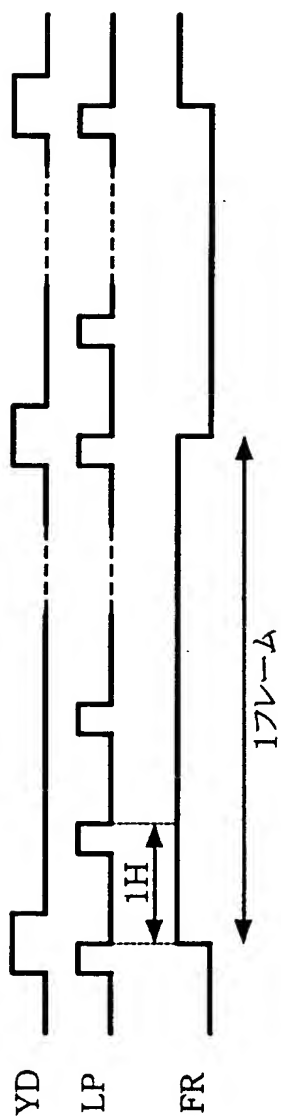
【 図 4 】



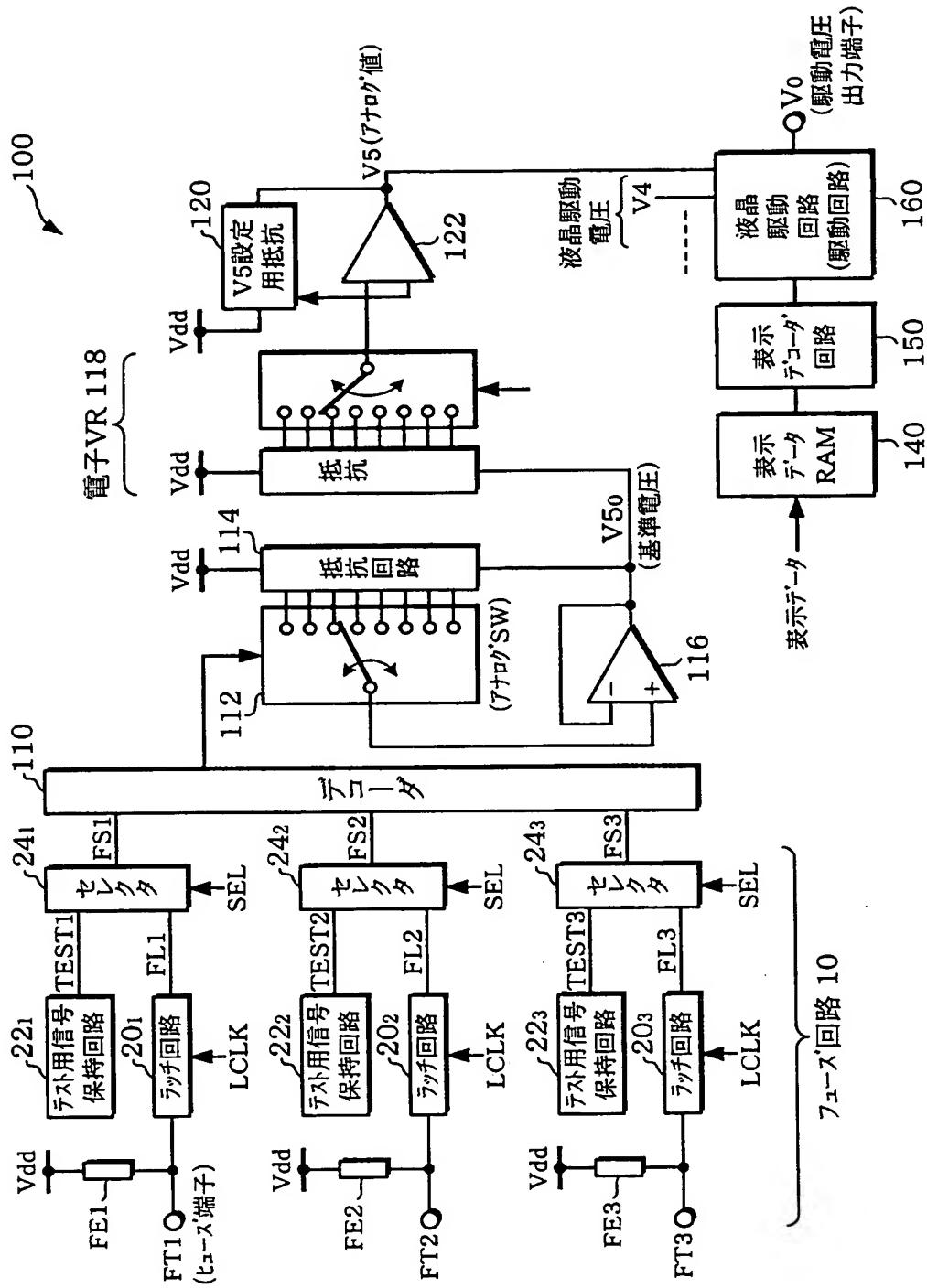
【図 5】



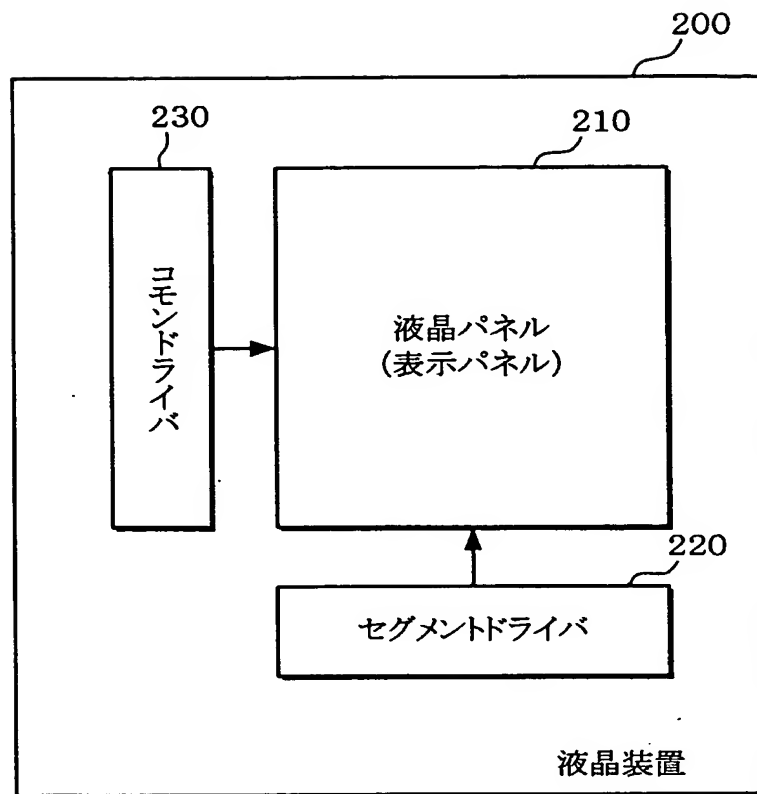
【図 6】



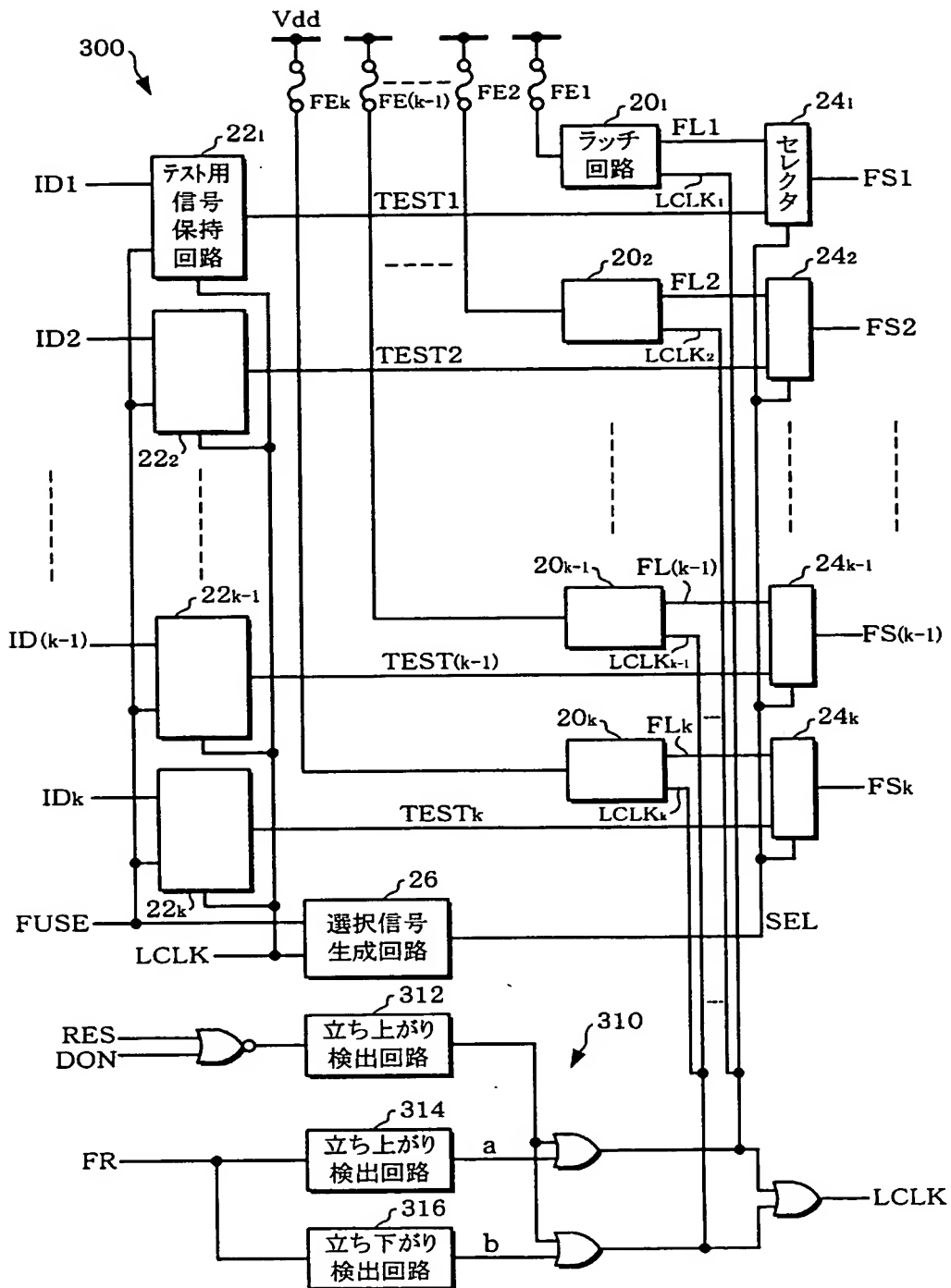
【図7】



【図 8】

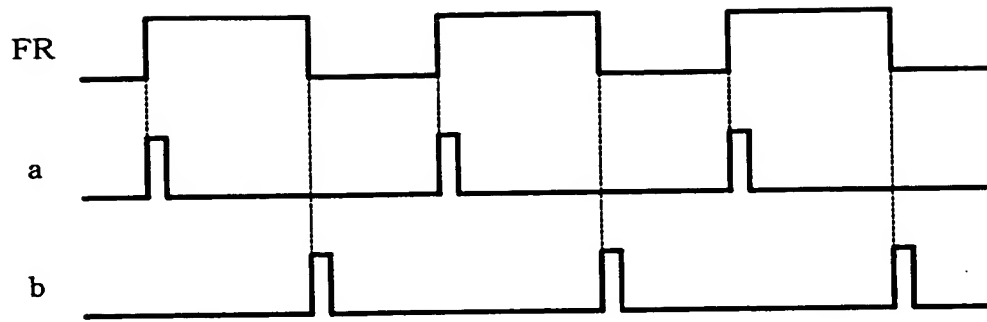


【图9】





【図 1 0】



【書類名】 要約書

【要約】

【課題】 回路規模を増大させることなく、外来のノイズに影響されないヒューズ回路と、これを含む表示駆動回路を提供する。

【解決手段】 ラッチ回路 2 0<sub>1</sub> ~ 2 0<sub>3</sub> は、ヒューズ素子 F E 1 ~ F E 3 の設定状態を取り込む。ラッチクロック生成回路 2 8 は、ラッチクロック C L K を、周期的信号（例えばフレーム信号 F R）に基づいて生成する。ラッチ回路 2 0<sub>1</sub> ~ 2 0<sub>3</sub> は、ラッチクロック L C L K に基づき、周期的にヒューズ素子 F E 1 ~ F E 3 の設定状態を取り込む。ラッチ回路 2 0<sub>1</sub> ~ 2 0<sub>3</sub> にラッチされたヒューズ素子 F E 1 ~ F E 3 の設定状態に基づいてアナログ値が調整される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社